

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

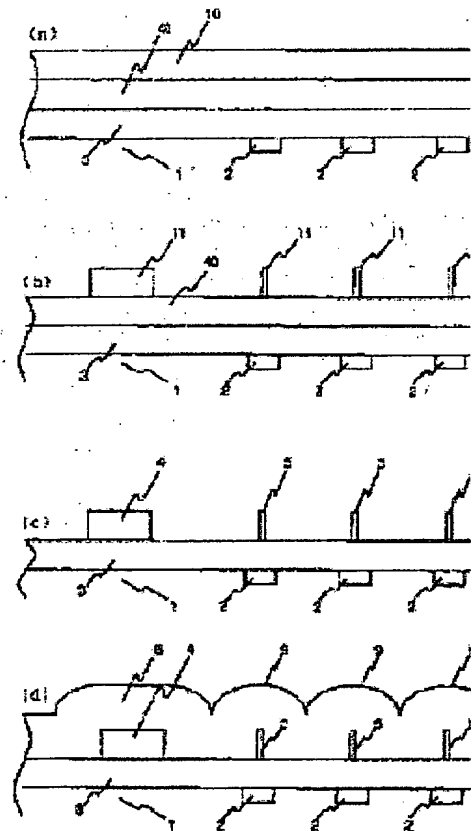
Patent number: JP2003007987
Publication date: 2003-01-10
Inventor: AGO FUJIO
Applicant: SHARP CORP
Classification:
- international: H01L27/14; G02B3/00; H01L31/0232; H01L33/00
- european:
Application number: JP20010183500 20010618
Priority number(s):

031356 U.S.PTO
10/759025

**Abstract of JP2003007987**

PROBLEM TO BE SOLVED: To provide a semiconductor device in which independent microlenses in respective light receiving parts or respective light emitting parts can be manufactured in a fine shape, simply and easily, and to provide a method of manufacturing the semiconductor device.

SOLUTION: The semiconductor device is provided with the light receiving parts 2. The semiconductor device comprises protrusions 5 in upper parts of the parts 2, and the convex microlenses 9 corresponding to the protrusions 5. In the method of manufacturing the semiconductor device, a first film 40 is formed on the whole face of a semiconductor substrate 1 on which the parts 2 are formed, the first film 40 is left only in the upper parts of the protrusions 5 so as to form the protrusions 5, a second film is laminated on the whole face of the semiconductor substrate 1 on the protrusions 5, and the convex microlenses 9 corresponding to the protrusions 5 are formed.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-7987

(P2003-7987A)

(43)公開日 平成15年1月10日(2003.1.10)

(51)Int.Cl.⁷

識別記号

F I

テマコード*(参考)

H 0 1 L 27/14
G 0 2 B 3/00
H 0 1 L 31/0232
33/00

G 0 2 B 3/00
H 0 1 L 33/00
27/14
31/02

A 4 M 1 1 8
M 5 F 0 4 1
D 5 F 0 8 8
D

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号 特願2001-183500(P2001-183500)

(22)出願日 平成13年6月18日(2001.6.18)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 吾郷 富士夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100065248

弁理士 野河 信太郎

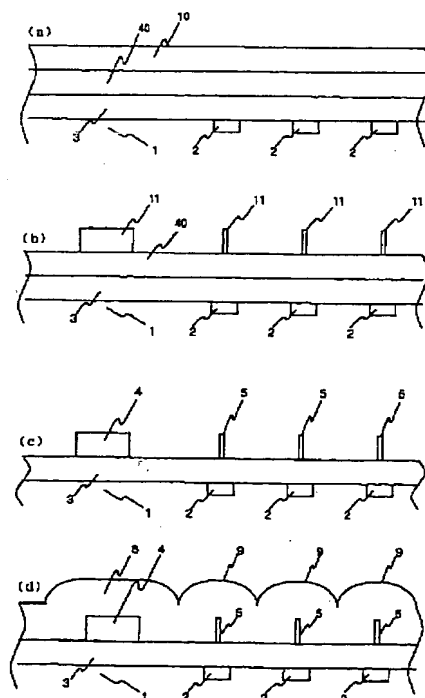
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 各受光部又は発光部ごとに独立したマイクロレンズを、さらに微細形状で、簡便かつ容易に製造することができる半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 受光部2を備えた半導体装置であって、受光部2の上方に突起5と、突起5に対応した凸形状のマイクロレンズ9とを有する半導体装置および受光部2が形成された半導体基板1上全面に第1膜40を形成し、受光部2の上方にのみ第1膜40を残存させて突起5を形成し、突起5上の半導体基板1上全面に第2膜を積層して、突起5に対応した凸形状のマイクロレンズ9を形成することからなる半導体装置の製造方法。



【特許請求の範囲】

【請求項1】 受光部又は発光部を備えた半導体装置であって、該受光部又は発光部の上方に突起と、該突起に対応した凸形状のマイクロレンズとを有することを特徴とする半導体装置。

【請求項2】 突起が、半導体又は導電体からなる請求項1に記載の半導体装置。

【請求項3】 マイクロレンズが、可視光線及び／又は近赤外線に対して透光性のある材料からなる請求項1又は2に記載の半導体装置。

【請求項4】 マイクロレンズが、シリコン酸化物、シリコン窒化物又はシリコン酸化窒化物である請求項3に記載の半導体装置。

【請求項5】 受光部又は発光部が形成された半導体基板上全面に第1膜を形成し、受光部又は発光部の上方にのみ前記第1膜を残存させて突起を形成し、該突起上の前記半導体基板上全面に第2膜を積層して、突起に対応した凸形状のマイクロレンズを形成することからなる半導体装置の製造方法。

【請求項6】 第1膜が、半導体又は導電体からなる請求項5に記載の方法。

【請求項7】 第2膜が、可視光線及び／又は近赤外線に対して透光性のある材料からなる請求項5又は6に記載の方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳細には、受光部又は発光部を備えた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】CCD (Charge Coupled Device、半導体結合素子) イメージセンサ (以下CCDと称する)、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの半導体を用いた撮像素子は、デジタル・カメラを始め、スキャナ、デジタル複写機、ファクシミリなど様々な用途に利用されている。

【0003】このような撮像素子の普及につれて、画素数の増大、受光感度の向上などの高機能化、高性能化はもとより、小型化、低価格化などの要請がますます強まってきている。

【0004】半導体を用いた撮像素子の小型化、多画素数化が進むと、撮像素子に組み込まれる画素の大きさはますます縮小される。画素の縮小にともない、撮像素子の基本性能の一つである受光感度は低下し、所定の照度のもとで鮮明な像を撮像できなくなる恐れがある。

【0005】このような問題に対し、CCDでは、その表面にマイクロレンズを形成して受光感度を向上させる方法が、例えば、特開2000-18332号公報に提案されている。この方法によれば、まず、半導体基板1表面にCCDの転送部、画素分離領域、転送電極等(何

れも図示せず)を形成し、図5(a)に示したように、受光部となる領域に、不純物拡散技術を用いて受光部2を形成する。その後、基板1の表面全面に、例えばBPSG (Boro-Phospho-Silicate Glass) などの絶縁膜3を、CVD (Chemical Vapor Deposition、化学気相成長)法により所定の膜厚で堆積させる。続いて、例えばAl等の金属薄膜を堆積し、フォトリソグラフ及びエッチング技術を用いて金属配線4を形成し、金属配線4を覆うように基板1の表面全面に表面保護膜6として、例えばシリコン酸化膜などの絶縁膜を所定の膜厚で堆積させる。

【0006】次に、図5(b)に示したように、金属配線4を形成することによって生じた半導体基板1の表面の凹凸を平坦にするために、基板1の表面全面に、アクリル系樹脂からなる平坦化膜7を所定の膜厚で堆積させる。平坦化膜7として堆積させたアクリル系の膜を、所定の条件で熱処理を加えて硬化させた後に、基板1の表面全面にマイクロレンズを形成する材料膜8を形成する。マイクロレンズを形成する材料膜8としては、可視光及び赤外線の透過性ならびに加工性に優れた物質、例えばアクリル系樹脂が用いられる。

【0007】続いて、図5(c)に示したように、フォトリソグラフ及びエッチング技術を用いて、受光部2上方の所定の領域にマイクロレンズを形成する材料膜8を残し、他の領域の材料膜8を除去する。ここで、基板1の表面に残したマイクロレンズ材料膜8は個々の受光部2毎に分離される。

【0008】さらに、所定の条件にて加熱して、図5(d)に示したように、マイクロレンズ材料膜8を溶融させ、その表面張力によりレンズ状の形状とすることにより、マイクロレンズ9を形成する。1個のマイクロレンズ9の大きさは、直径は2〜10 μ m程度のほぼ半球状である。

【0009】その後、所定の工程を経ることにより、チップ状に分割され、適当な筐体の実装された半導体装置が完成する。

【0010】このように、受光部上方に形成されたマイクロレンズ9は、集光効率を増大するため、CCDなどの固体撮像装置の受光感度を大幅に向上させることができ、その結果、マイクロレンズのない固体撮像装置では撮像が困難な照度のもとでも、マイクロレンズつき固体撮像装置では、鮮明な像を撮影することができるようになる。

【0011】

【発明が解決しようとする課題】上述のように、マイクロレンズは、各受光部毎に分割配置したアクリル系樹脂を加熱溶融することにより、その表面張力と平坦化膜との界面エネルギーが平衡状態になるまで変形させて形成される。

【0012】しかし、半導体装置の小型化、多画素数化

の要請に伴い、各画素の大きさが縮小されるため、マイクロレンズ自体及び隣接するマイクロレンズとの間隔も微細化しなければならない。したがって、アクリル系樹脂の加熱溶融中に、隣接するマイクロレンズの隙間がなくなって繋がってしまうと、さらに安定な形状になるまで変形が進み、各受光部ごとに所定形状のレンズを形成することができない。

【0013】このようなことから、マイクロレンズ間の隙間は、 $0.2\mu\text{m}$ 程度より微細化することは困難な状況である。

【0014】また、マイクロレンズ形成工程は、公知のフォトリソグラフ技術を用いて加工を行う。通常の半導体集積回路の製造が 400°C 以上の熱処理を行うのに対し、マイクロレンズ形成工程はアクリル系樹脂を用いるため、アクリル系樹脂の耐熱温度（例えば 200°C ）以下で加工を行う必要がある。したがって、従来のマイクロレンズは、半導体集積回路の製造工程とは独立して形成しなければならず、半導体装置の製造期間が長くなるとともに、製造装置数が増加し、製造コストが上昇してしまう問題がある。

【0015】本発明は上記課題に鑑みなされたものであり、各受光部ごとに独立したマイクロレンズを、さらに微細形状で、簡便かつ容易に製造することができる半導体装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明によれば、受光部又は発光部を備えた半導体装置であって、該受光部又は発光部の上方に突起と、該突起に対応した凸形状のマイクロレンズとを有する半導体装置が提供される。

【0017】また、本発明によれば、受光部又は発光部が形成された半導体基板上全面に第1膜を形成し、受光部又は発光部の上方にのみ前記第1膜を残存させて突起を形成し、該突起上の前記半導体基板上全面に第2膜を積層して、突起に対応した凸形状のマイクロレンズを形成することからなる半導体装置の製造方法が提供される。

【0018】

【発明の実施の形態】本発明の半導体装置は、少なくとも受光部又は発光部を備えるものであり、CCD及びCMOSイメージセンサ、CMD、チャージインジェクションデバイス、バイポーライメージセンサ、光導電膜イメージセンサ、積層型CCD、赤外イメージセンサ等のいわゆる固体撮像素子のみならず、半導体集積回路の製造工程において製造される受光素子、発光ダイオード等の発光素子又は液晶パネル等の光透過制御素子等の種々の装置として形成されるものの全てが含まれる。

【0019】受光部又は発光部、特に受光部としては、代表的には、半導体基板表面に形成されるpn接合ダイオードが挙げられる。この場合の半導体基板表面に形成されるp型又はn型の不純物層の大きさ、形状、数、不

純物層の不純物濃度等は、得ようとする半導体装置の性能に応じて適宜設定することができる。また、発光部としては、例えば、発光ダイオード等が挙げられる。受光部又は発光部が複数個形成される場合には、隣接する受光部又は発光部との間隔は、例えば、 $2\sim 10\mu\text{m}$ 程度が適当である。ここで、半導体基板としては、通常半導体装置を形成するための基板として使用される基板であれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の半導体、SiC、GaAs、AlGaAs等の化合物半導体等からなる基板を使用することができる。なかでも、シリコン基板が好ましい。この半導体基板は、通常n型又はp型の不純物がドーピングされてなるが、さらに、n型又はp型のウェルを1以上有していてもよい。なお、半導体基板表面には、受光部又は発光部のほかに、電荷転送領域、分離領域、コンタクト領域、チャネルストップ領域等として、高濃度のn型又はp型の不純物を含有する領域が形成されていてもよいし、他の半導体装置や回路等が組み合わされていてもよい。

【0020】受光部又は発光部の上には、通常、絶縁膜、平坦化膜、保護膜等の種々の機能を有する膜が単層又は積層層として形成されていてもよい。例えば、膜厚 $100\sim 3000\text{nm}$ 程度のCVD法によるシリコン酸化膜、CVD法によるプラズマTEOS (Tetra-Ethoxy Silane) 膜、LTO (Low Temperature Oxide) 膜、HTO (High Temperature Oxide) 膜、NSG (None-Doped Silicate Glass) 膜又はスピンコート法により塗布形成したSOG (Spin On Glass) 膜、CVD法によるシリコン窒化膜等の単層膜又はこれらの積層膜等が挙げられる。このような膜は、受光部又は発光部が複数ある場合でも、複数の受光部又は発光部にわたってほぼ全面に形成されていることが好ましい。また、このような膜は、その表面が平坦に形成されることが好ましい。

【0021】受光部又は発光部の上（又は受光部又は発光部の上に上記のような機能膜が形成されている場合にはその上）には、突起が形成されている。突起は、受光部又は発光部のほぼ中央部分に形成されていることが好ましい。この突起のサイズ、高さ、形状、材質は特に限定されるものではないが、例えば、幅 $0.1\sim 1\times 0.1\sim 1\mu\text{m}$ 程度（又は $0.01\sim 1\mu\text{m}^2$ 程度）のサイズ、 $0.4\sim 4\mu\text{m}$ 程度の高さ、円柱状、角柱状、円錐の頂点を欠く円錐台形状、角錐の頂点を欠く角錐台形状、半球、半卵型等の種々の形状が挙げられる。材質としては、特に限定されるものではなく、通常、半導体装置の製造において形成される膜であればどのようなものでもよい。例えば、通常半導体装置の電極として用いることができる導電材料（多結晶シリコン、単結晶シリコン、アモルファスシリコン等のシリコン又はその他の半導体；ITO、ZnO、 SnO_2 等の透明導電膜；アルミニウム、銅、白金、銀、亜鉛、Al-Si、Al-

Cu等の金属又は合金；タングステン、タンタル、チタン、モリブデン、TiW等の高融点金属又は合金；これら金属のシリサイド；ポリサイド等）、上記したような絶縁膜等が挙げられる。また、これらの膜は、単層で形成してもよいし、積層層で形成してもよい。なかでも、シリコン又はその合金や金属による膜が好ましい。

【0022】突起の上には、この突起に対応した凸形状のマイクロレンズが形成されている。マイクロレンズは、可視光線及び／又は近赤外線に対して透光性のある材料からなることが適当である。ここで透光性があるとは、可視光線又は近赤外線の透過率が50%程度以上である性質を有することを意味する。このような材料としては、その膜厚等にもよるが、例えば、無機材料、具体的には、シリコン酸化物、シリコン窒化物、シリコン酸化窒化物又はそれらの積層体が挙げられる。これらの材料を用いる場合の膜厚としては、突起のサイズや高さに応じて適宜調整することができるが、例えば、0.4～4μm程度が挙げられる。

【0023】マイクロレンズは、受光部の上方に、好ましくは受光部又は発光部のほぼ中央に形成された突起に対応した凸形状を有している。ここで突起に対応した凸形状とは、突起を含む半導体基板上全面にマイクロレンズを形成する材料膜を形成した場合に、突起の存在により、その部分のマイクロレンズ材料膜が凸形状に盛り上がることとなるため、その形状を意味する。なお、マイクロレンズの形状は、突起に起因する凸形状が確保されている限り、突起間の間隔、マイクロレンズ材料膜の膜厚等によって、隣接する受光部上の突起に対する凸形状と連続してもよい。

【0024】本発明の半導体装置を製造する方法としては、まず、受光部又は発光部が形成された半導体基板上全面に第1膜を形成する。第1膜としては、突起を形成するために用いられるものであり、上述の材料を適宜選択することができる。このような膜は、半導体基板上全面に形成することが好ましい。成膜方法としては、スパッタ法、減圧CVD法、常圧CVD法、プラズマCVD法等種々のCVD法、スピンコート法、真空蒸着法、EB法等、当該分野で公知の方法を適宜選択することができる。

【0025】なお、半導体基板表面に受光部又は発光部を形成する方法は、公知の方法、例えば、フォトリソグラフィ及びエッチング工程により所望の領域に開口を有するマスクを形成し、このマスクを用いてイオン注入する方法が挙げられる。また、第1膜を形成する前に、半導体基板上には、上述したような機能膜を、公知の方法により形成してもよい。さらに、第1膜の形成とともに、半導体装置の電極や配線等を形成する場合には、第1膜として、導電膜を使用することが好ましい。

【0026】次いで、受光部又は発光部の上方にのみ第1膜を残存させて突起を形成する。この場合の突起の形

成は、公知の方法、例えば、フォトリソグラフィ及びエッチング工程により、所望の形状に加工形成することができる。

【0027】続いて、突起上の半導体基板上全面に第2膜を積層する。ここで、第2膜としては、マイクロレンズ形成材料膜であり、上述したものを使用することができる。このような膜は、スパッタ法、CVD法等公知の方法により形成することができる。これにより、突起に対応した凸形状のマイクロレンズを形成することができる。

【0028】以下に、本発明の半導体装置及びその製造方法の実施の形態を、CCDを例にとって、図面に基づいて説明する。なお、以下の説明中で用いる装置や処理条件等は、通常の半導体集積回路の製造工程で用いられている装置や条件とほとんど同じであり、特段の場合を除いて、その詳細な説明を省略する。

【0029】まず、従来技術で述べた方法と同様に、半導体基板1表面に、CCDの転送部、画素分離領域、転送電極等（何れも図示せず）を形成し、図1（a）に示すように、受光部となる領域に、不純物拡散技術を用いて受光部2を形成し、その後、基板1の表面全面に、例えばBPSGなどの絶縁膜3を、CVD法により所定の膜厚、例えば、0.9μm堆積させる。絶縁膜3表面の凹凸を平坦にするため、拡散炉を用いてBPSG膜のメルト処理を、例えば900℃で60分間の条件で行う。さらに必要であれば、CMP処理を行い平坦化する。続いて、例えば固体撮像素子の周辺部に形成される配線用のAl等の金属膜40をスパッタリング法により、約0.4μm堆積させ、その表面全面にフォトレジスト10を塗布する。

【0030】次に、図1（b）に示すように、フォトリソグラフィ技術を用いて、金属膜40上に塗布されたフォトレジスト10を、所定の位置に所定の大きさに残し、他のフォトレジストを除去して、金属膜40を加工する際のマスキング11を形成する。エッチングのマスキング11として形成されるフォトレジスト10を残す所定の位置は、配線が形成される領域と受光部の上方とであり、同時にパターニングされる。

【0031】続いて、図1（c）に示すように、フォトレジストで形成したマスキング11を利用して、公知のエッチング技術により金属膜40をエッチングし、マスキング11の下方にある金属膜40を残し、他の領域の金属膜40を除去する。その後、公知の技術により、マスキング11として用いたフォトレジスト10を除去する。これにより、半導体基板1の表面の金属配線が配置される領域に、金属配線4が、受光部の上方には、所定の大きさのマイクロピラー5が形成される。これらのマイクロピラー5は、直径が約0.1μm、間隔が1.6μmの円柱状である。

【0032】次に、基板1の表面全体に、保護膜6とし

て、例えばCVD法により、原料ガスとしてTEOS (Tetraethyl Orthosilicate; $\text{Si}(\text{OC}_2\text{H}_5)_4$) 及びオゾンを用い、ガス圧力を8 kPaに維持した容器の中で、半導体基板1を450℃に加熱し、シリコン酸化膜($n: 1.45$)を約1.0 μm の厚さで形成する。

【0033】この際、シリコン酸化膜は、図2に示したような堆積過程によって積層する。したがって、CVD法における条件を最適に選べば、ガス分子が化学反応により固体表面に固体化して堆積するので、従来技術で述べた樹脂材料を用いた時のような表面張力による変形がおこらず、堆積によって隣接マイクロレンズ間の隙間がなくなって接合し、さらに堆積を続けても、各マイクロレンズのレンズ形状は維持することができる。したがって、隣接マイクロレンズ間の隙間を確保する必要がない。

【0034】これにより、図1(d)に示したように、金属配線4の上方には表面の保護膜6が形成されるのと同時に、マイクロピラー5に対応して受光部2の上方にマイクロレンズ9が形成される。マイクロレンズ9は、直径が約1.6 μm の半球状である。

【0035】絶縁膜3がシリコン酸化膜($n: 1.45$)である以外、上記と同様の方法で形成されたマイクロレンズ9は、マイクロピラー5の頭がマイクロレンズ9の中心とした球とし、光が入射する際に受光部2の内部に焦点が設定された場合、マイクロピラー5の存在により、光強度分布が図3(a)に示したように概算され、受光部2にマイクロピラー5の影ができることとなる。しかし、この影は、光量損失で約1.6%であり、半導体装置の性能に対してはほとんど影響しない。なお、マイクロピラー5を形成する材料が、透光性の材料であれば、光量損失をほぼなくすることができる。

【0036】その後、図示はしないが、所定の工程を経た後に、チップ状に分割され、適当な筐体の実装されて、半導体撮像装置が完成する。

【0037】上記した方法によれば、図4に示したように、CCDにおけるマイクロレンズ形成工程は、従来技術と比較して、その工程数が削減され、工程が簡略化されていることが明確である。

【0038】以上、CCDを例にとって、受光部上方にマイクロレンズを形成する方法を説明したが、例えば、CMOSイメージセンサ等でも、同様の方法によりマイクロレンズを形成することができる。また、例えば、GaAsやGaAsP等の化合物半導体を基板として、公知の技術を用いて発光素子を形成する場合にも、その発光部上方に同様の方法によりマイクロレンズを形成することができる。

【0039】

【発明の効果】本発明によれば、マイクロレンズが、突起に対応して形成されているため、マイクロレンズが隣接するマイクロレンズと接合しても、凸状のレンズ形状

を確保することができ、さらに微細化してもマイクロレンズ間の隙間を確保することにより受光損失が増大せず、高性能の半導体装置を得ることができる。

【0040】また、発光素子に、マイクロレンズを適用した場合、発光した光を集光させることが可能となり、光の利用効率を高めることができる。

【0041】特に、突起が、半導体又は導電体からなる場合には、電極や配線、あるいは他の半導体装置の電極や配線等と同時に形成することが可能となる。

【0042】また、突起が、半導体又は導電体からなるか、マイクロレンズが、シリコン酸化物、シリコン窒化物又はシリコン酸化窒化物である場合には、従来の半導体プロセスで使用されていた材料をそのまま使用するものであるため、プロセス温度等の制限がなく、他の半導体集積回路と組み合わせられた受光部又は発光部を備える半導体装置を実現することができる。

【0043】さらに、マイクロレンズが可視光線及び／又は近赤外線に対して透光性のある材料からなる場合には、受光又は発光をより効率的に行うことができ、さらなる微細化を実現することが可能になる。

【0044】また、本発明によれば、通常の配線パターンを利用して、突起を形成することができ、その形状に対応してマイクロレンズの凸形状が確保されることとなるため、簡便な方法により、さらなる微細化に対応することができ、製造コストの低減を図ることが可能になる。しかも、そのような簡便な方法が、通常の半導体集積回路等の製造プロセスと共通するため、さらなる工程が簡略化及び製造コストの削減が可能になる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を説明するための概略断面工程図である。

【図2】本発明の半導体装置の製造方法におけるシリコン酸化膜の堆積過程を説明するための要部の概略平面図及び断面図である。

【図3】本発明の半導体装置における入射光を説明するための概略断面図及び概略平面図である。

【図4】本発明の半導体装置の製造方法と従来例との製造プロセスの比較を示すフローチャートである。

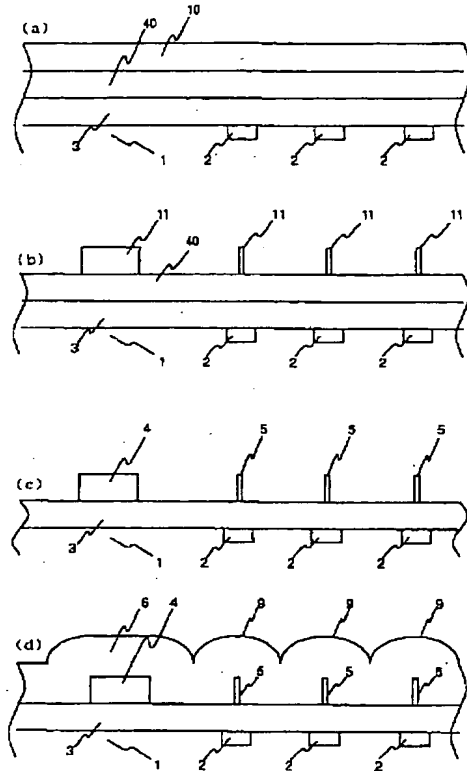
【図5】従来の半導体装置の製造方法を示す概略断面工程図である。

【符号の説明】

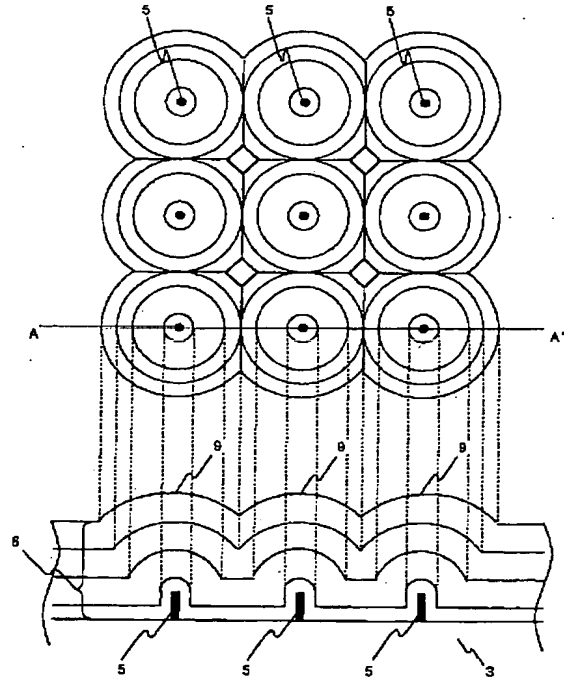
- 1 半導体基板
- 2 受光部 (受光部又は発光部)
- 3 絶縁膜
- 4 金属配線
- 5 マイクロピラー (突起)
- 6 保護膜 (第2膜)
- 9 マイクロレンズ
- 10 フォトリジスト
- 11 マスク

40 金属膜 (第1膜)

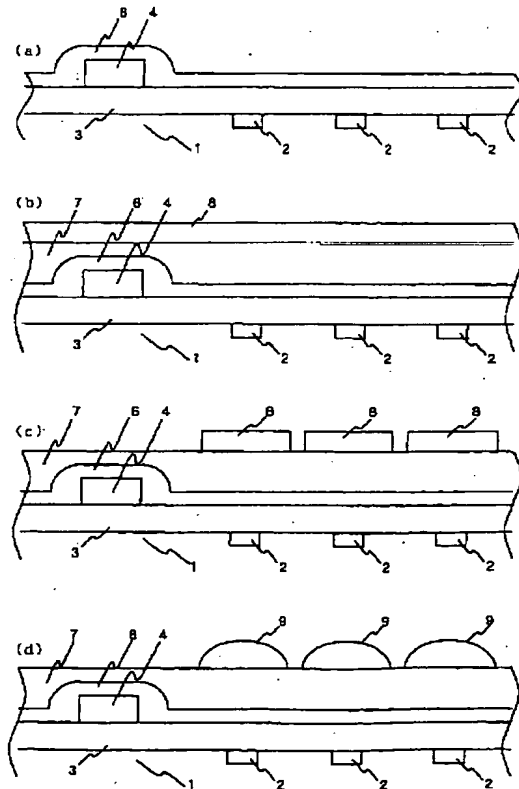
【図1】



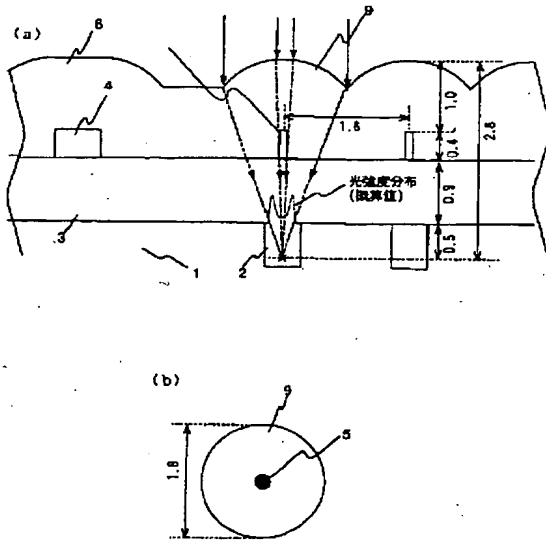
【図2】



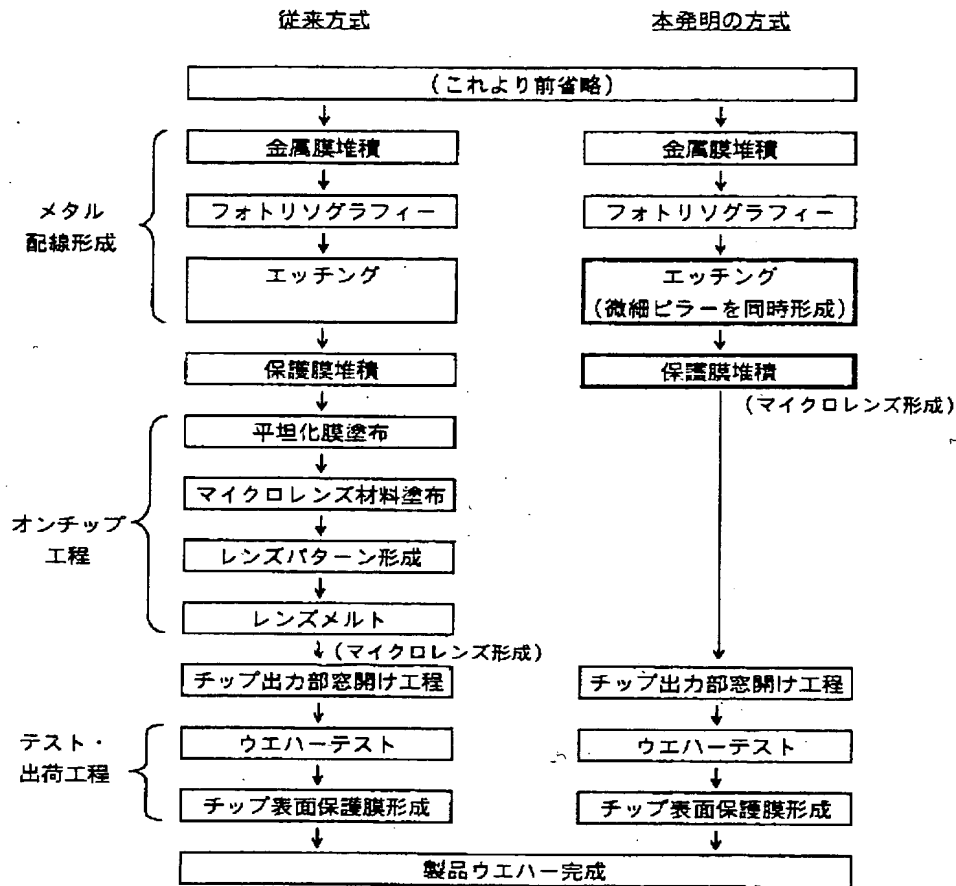
【図5】



【図3】



【図4】



フロントページの続き

Fターム(参考) 4M118 AA01 AB01 BA07 BA10 BA14
 CA03 CA40 CB01 CB02 CB13
 EA06 FA06 FC02 GD04 GD07
 5F041 CA33 CB22 EE11
 5F088 AB02 BB03 EA04 JA12 LA01
 LA03